

Apple IIe Speed-Up

Z80-Karte mit 7-MHz-Takt

Ulrich Häberle
Eberhard Häberle
Arne Schäpers

Die gute alte CP/M-Software ist auf dem Apple nach wie vor sehr beliebt. Mit der Z80-Karte kann man problemlos WordStar, Turbo-Pascal oder andere populäre CP/M-Programme fahren. Ihre Ausführungsgeschwindigkeit ist jedoch nicht sehr hoch, da der Z80-Prozessor von der Video-Logik des Apple gebremst wird. Aber mit einer schnellen Version des Z80-Prozessors und einigen Umbauten läßt sich die Arbeitsgeschwindigkeit auf einem Apple IIe um 75% steigern.

Leider funktioniert die modifizierte Z80-Karte bisher nur im Apple IIe. Im Apple II+ ist es den Autoren bisher noch nicht gelungen, die Arbeitsgeschwindigkeit der Z80-Karte zu steigern. Die Ursache für die Probleme im II+ hängt mit der unterschiedlichen Schaltungsauslegung der beiden Apple-Rechner zusammen, auf die weiter unten ausführlicher eingegangen wird. Eine wichtige Rolle spielt natürlich auch die Arbeitsweise der Z80-Karte.

Sie arbeitet im DMA-Modus (Direct Memory Access), das heißt, der 6502 wird vom Speicher getrennt und muß dem Z80 den Daten- und Adreßbus zur Verfügung stellen. Im Apple II+ wird die 6502-CPU im DMA-Betrieb nicht mit Takt versorgt. Dieser Zustand darf allerdings nicht beliebig lange anhalten, da sonst die Registerinhalte des 6502 verlorengehen würden. Aus diesem Grunde schaltet sich die Z80-Karte in

bestimmten Abständen ab, indem sie das Signal zur Anforderung des DMA-Betriebs zurücknimmt. Dann erhält der 6502 wieder einige Taktimpulse und frischt seine Registerinhalte auf. Genau dieser Mechanismus muß aber für die hier beschriebene Modifikation außer Betrieb gesetzt werden, und nur im IIe gibt es eine einfache Möglichkeit, den 6502 auch im durchgehenden DMA-Betrieb mit Takt zu versorgen.

Der Grund für die geringe Ablaufgeschwindigkeit der Z80-Software ist die Video-Logik, die in der ersten Hälfte des 6502-Buszyklus bevorrechtigt auf den Speicher zugreift. Die Synchronisation der Z80-Speicherezugriffe mit den Zugriffen der Video-Logik geschieht mit Hilfe eines besonders geformten Taktsignals für die Z80-CPU. Entscheidend an diesem Taktsignal ist, daß es innerhalb eines vollständigen 6502-Zyklus nur zwei Z80-Zyklen umfaßt und nur in der er-

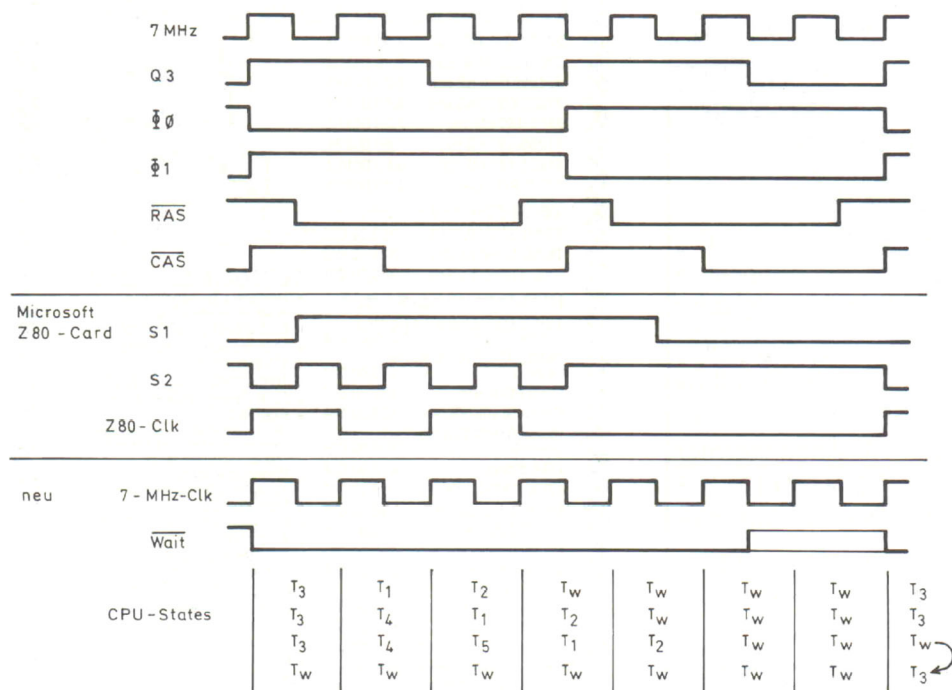
sten Bushälfte Taktflanken auf-treten.

Dies mag widersprüchlich erscheinen, da die Z80-CPU doch wie der 6502 nur während der zweiten Zyklushälfte auf die Speicher zugreifen darf. Es funktioniert aber trotzdem, weil zwischengeschaltete Adreß- und Datenbustreiber auf der Z80-Karte den Zugriff nur in der zweiten Hälfte freigeben. Die Adressen und die Schreibdaten der Z80-CPU stehen für mindestens zwei komplette Z80-Takte an. So ist auch gewährleistet, daß Adressen und Daten zum gewünschten Zeitpunkt noch verfügbar sind. Lesedaten kann der Z80-Prozessor auch nicht verpassen, denn diese werden in einem Latch auf der Z80-Karte zwischengespeichert. Und da alle Speicheroperationen mindestens drei Z80-Taktzyklen benötigen, ist auch ausgeschlossen, daß der Z80 mehrfach innerhalb eines 6502-Zyklus auf den Speicher zugreifen will.

Diese raffinierte Kopplung der unregelmäßigen Z80-Buszyklen an das starre Timing der Video-Logik hat leider auch einen Nachteil. Obwohl wegen der kurzen Taktperioden eine 4-MHz-CPU erforderlich ist, liegt die effektive Taktrate nur bei 2 MHz, was der CP/M-Software eine gewisse Behäbigkeit verleiht. Der Zilog-Prozessor läßt sich auch unmittelbar mit dem 7-MHz-Takt des Apple betreiben, wenn man eine B-Version in die Z80-Karte einsetzt. Allerdings muß wieder dafür gesorgt werden, daß die CPU ihre Speicherezugriffe im richtigen Moment des 6502-Zyklus vornimmt. Dies läßt sich relativ einfach mit einem Wait-Signal erreichen, das nur am Schluß des 6502-Buszyklus kurz inaktiv ist. Dadurch finden im Z80 alle internen Abläufe zur Vorbereitung eines Speicherezugriffs in der ersten Hälfte des 6502-Zyklus statt, während zu Beginn der zweiten Hälfte alle Z80-Signale stabil sind und der Speicherezugriff abgewickelt werden kann.

Ergebnisse

Benchmarks ergeben eine Geschwindigkeitssteigerung von ziemlich exakt 75%, was einer effektiven Taktrate von 3,5 MHz entspricht, und selbst der



Einige Signale des Speicher-Timings und der Z80-Karte, vor und nach dem Umbau.

gute alte WordStar wirkt ein bißchen hektisch. Das Programm

```
10 FOR Y=1 TO 10: PRINT Y
20 FOR X=1 TO 1000: NEXT
30 NEXT
40 PRINT CHR$(7)
```

läuft unter MBASIC mit der normalen Z80-Karte 156 Se-

kunden, mit der Modifikation sind es nur noch 92 Sekunden. Das folgende Programm

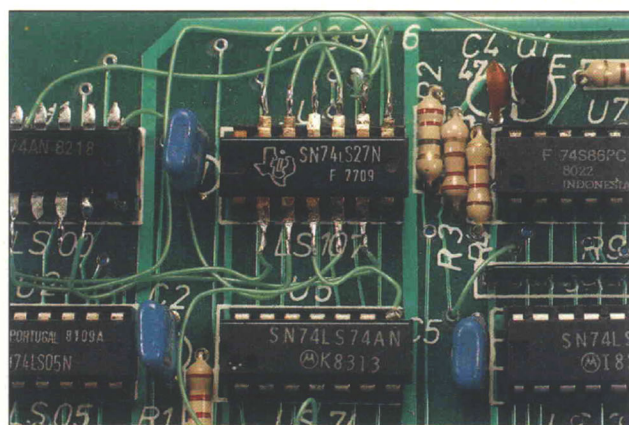
normaler Z80-Karte benötigt es dazu 97 Sekunden, mit Modifikation 63 Sekunden. Weil zur Ausführung des HPLLOT-Befehls der 6502 benutzt wird, liegt der Geschwindigkeitszuwachs diesmal nicht bei vollen 75%.

Kompatibilitätsprobleme sind bisher mit der modifizierten Z80-Karte nicht aufgetreten, auch dann nicht, wenn auf andere Zusatzkarten direkt zugegriffen wird. Ebenfalls traten keine Probleme mit Interruptquellen auf, weder für den 6502 noch für den Z80 mit entsprechender Stellung der DIP-Switches auf der Karte.

Nicht geklärt ist, ob sich die modifizierte Z80-Karte mit weiteren Zusatzkarten verträgt, die ebenfalls DMA-Operationen ausführen, wie zum Beispiel die MegaCore von Frank & Britting. Aber die funktioniert schließlich auch zusammen mit Speedemon und anderen hochgedrehten 65C02-Karten, die im DMA-Dauerbetrieb laufen.

Widerspenstiger Apple II +

Wie schon erwähnt, verträgt der II+ keinen DMA-Dauerbetrieb, wie ihn die umgebaute Z80-Karte voraussetzt, weil dann der 6502 zu lange ohne Taktsignal bleibt. Die Versorgung des Prozessors mit Phi0 während eines DMA-Zugriffs



Die Verdrahtung sollte sauber und ohne unnötig lange Verbindungsleitungen ausgeführt werden.

kunden, mit der Modifikation sind es nur noch 92 Sekunden. Das folgende Programm

```
10 HGR
20 FOR X=1 TO 10: HCOLOR = X
30 FOR Y=0 TO 191
40 HPLLOT 0,Y TO 279,Y: NEXT
50 NEXT
60 PRINT CHR$(7)
```

plottet den gesamten Bildschirm voll. Unter MBASIC und mit

Ablauf des 7-MHz-Umbaus

1. Z80B anstelle von Z80A einsetzen (eventuell mit Kühlkörper), 74S86 anstelle von 74LS86 (U7) einsetzen. Prüfen, ob U12 ein 74S20 ist; wenn 'LS', dann durch einen 'S20' ersetzen.

2. 74LS107 (U4) entfernen, an seiner Stelle den 74LS27 einsetzen, wobei alle Pins außer 1, 7 und 14 so seitlich weggebogen werden müssen, daß sie keinen Kontakt zur Fassung haben.

74LS74 auf U6 herausziehen, Pins 10, 12 und 13 seitlich abbiegen und den Baustein wieder einsetzen.

3. Unterbrechungen von Leiterbahnen

- Z80, Pin 24 (Wait) entweder auf der Lötseite kurz vor der Fassung oder auf der Bestückungsseite zwischen Durchkontaktierung und Fassung U4 unterbrechen.
- 74LS05 (U2): Pin 3 ist auf der Lötseite mit Masse verbunden. Die Leiterbahn kurz vor der Fassung unterbrechen.

4. Takterzeugung

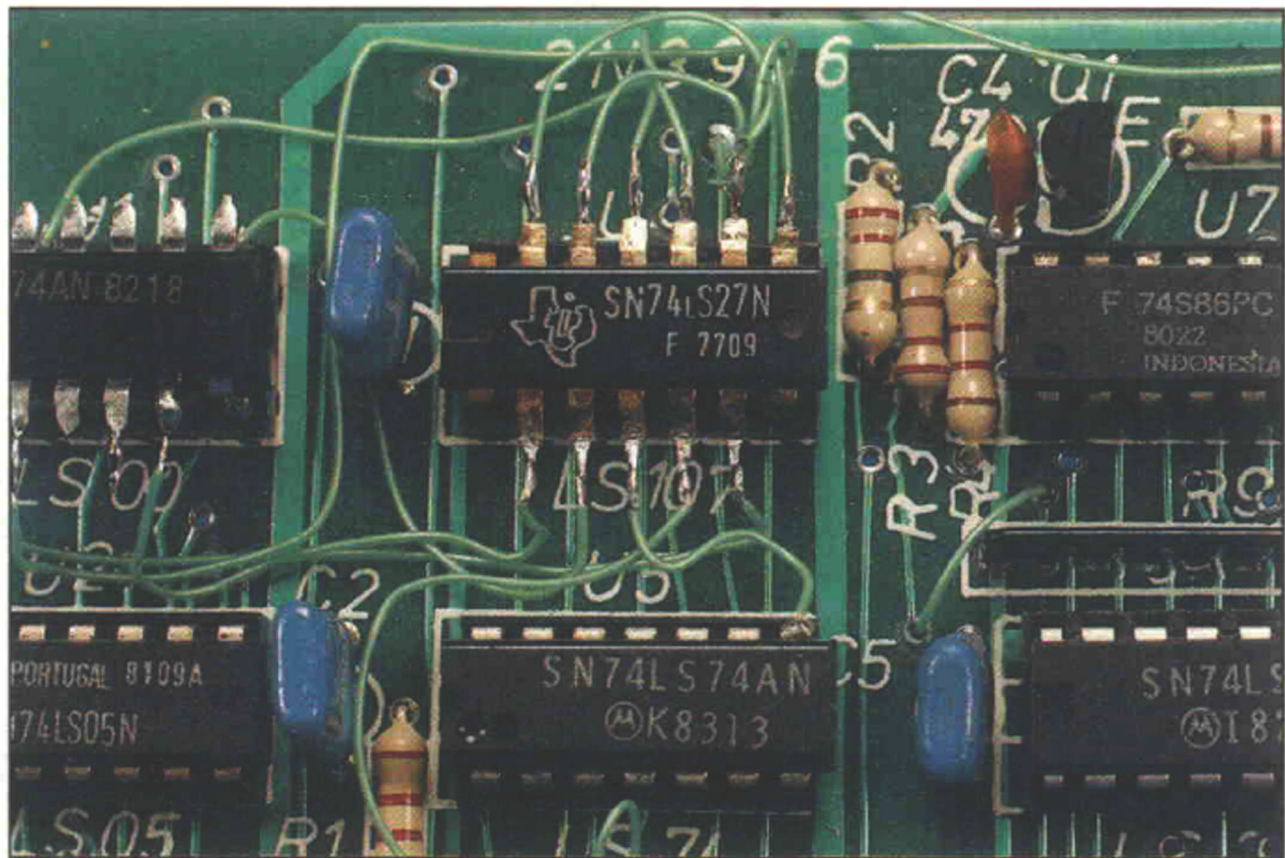
- Fassung U4, Pin 12 mit U4, Pin 5 auf der Lötseite(!) verbinden.

5. R/W-Signale

- U6, Pin 10 (ausgebogen) mit U 15, Pin 1 auf der Bestückungsseite (RD-Signal des Z80) verbinden;
- U6, Pin 12 (ausgebogen) mit Z80, Pin 19 (MREQ-Signal) verbinden. Wer den Prozessor selbst nicht 'belöten' will, sollte die Leitung durch eine Durchkontaktierung hindurchführen, um von der Bestückungsseite der Platine auf die Lötseite zu gelangen. Das geht natürlich nur mit gut isoliertem, dünnem Draht.
- U6, Pin 13 (ausgebogen) nach U6, Pin 4 auf der Bestückungsseite (+5 Volt).

6. Wait-Erzeugung

- U5, Pin 8 (Komplement des alten Wait) zum Pin 4 des LS27 in der Fassung U4;



Die Verdrahtung sollte sauber und ohne unnötig lange Verbindungsleitungen ausgeführt werden.

kunden, mit der Modifikation sind es nur noch 92 Sekunden. Das folgende Programm

10 HGB

- U1, Pin 8 nach LS 27, Pin 3;
- U6, Pin 12 nach LS 27, Pin 5;
- Steckerleiste, Kontakt 37 (Q3-Signal) an LS27, Pin 9 legen. Kontakt 37 befindet sich auf der Lötseite, eventuell eine Durchkontaktierung zur Führung der Leitung benutzen;
- LS27, Pin 9 nach LS27, Pin 13. Pin 9 ist bereits mit dem MREQ-Signal des Z80 verbunden;
- U15, Pin 11 nach LS27, Pin 10 (Phi0-Signal);
- U1, Pin 12 nach LS27, Pin 4 (7M-Signal).

Nachdem diese Verbindungen hergestellt sind, wird der zusätzlich benötigte 74LS74 auf den 74LS00 in Fassung U1 aufgelötet – und zwar nur mit den Pins 7 und 14. Alle anderen Pins des LS74 werden seitlich weggebogen. Bis auf die Pins 2, 3 und 6 können sie auch komplett abgekniffen werden.

- LS74 auf der Fassung U1, Pin 2 nach LS27 in Fassung U4, Pin 6;
- LS74, Pin 3 nach LS27, Pin 8;
- LS74, Pin 6 nach LS27, Pin 2.

Und schlußendlich: LS27, Pin 12 nach Z80, Pin 24 (neues Wait-Signal). Lage je nach Unterbrechungspunkt der alten Wait-Leitung.

7. DMA-Signal

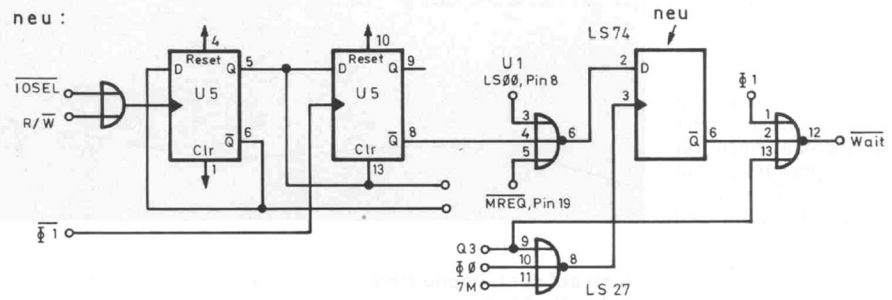
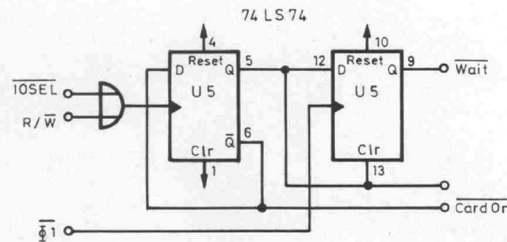
- Pin 1 des LS05 in U2 auf der Lötseite mit Pin 3 desselben IC verbinden. Die Masseverbindung von Pin 3 ist in Schritt 3 unterbrochen worden.

- Pin 4 des LS05 in U2 auf der Lötseite mit Pin 6 desselben IC verbinden. (Pin 4 ist im Original unbenutzt.)

8. Änderungen am Apple IIe

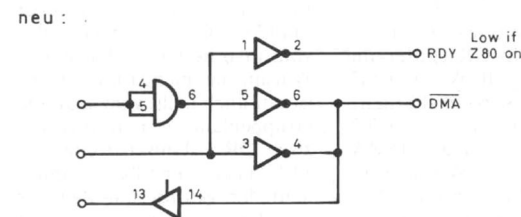
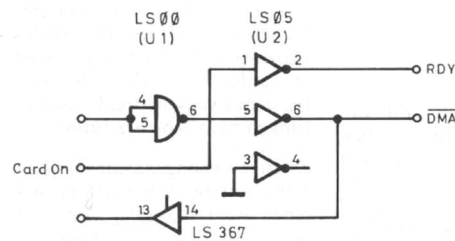
Verbindung X5 auf der Hauptplatine trennen, Verbindung X4 herstellen, um den Prozessor dauerhaft mit Takt zu versorgen. Diese beiden Jumper liegen direkt nebeneinander – wenn man den Computer von der Tastaturseite her betrachtet, vorne rechts, hinter dem Tastatur-ROM.

Wait - Erzeugung:

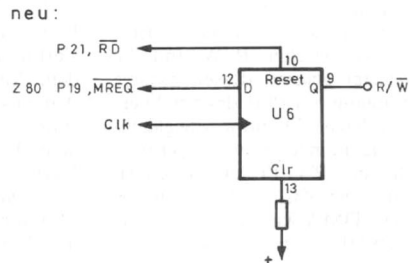
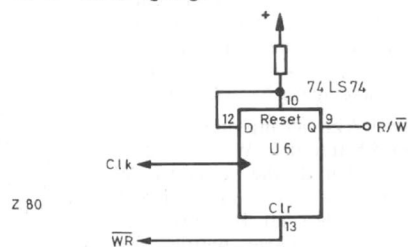


Von der Modifikation sind vier Baugruppen der Z80-Karte betroffen.

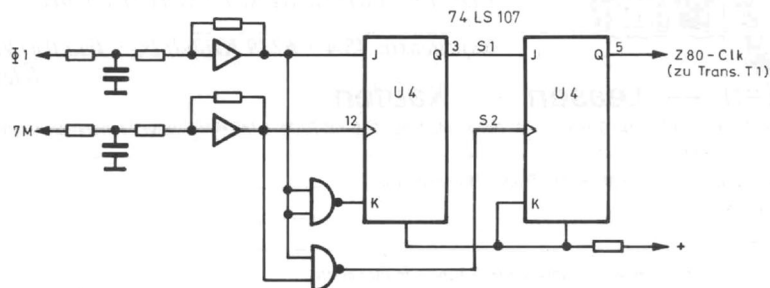
DMA - Signal:



R/W - Erzeugung:



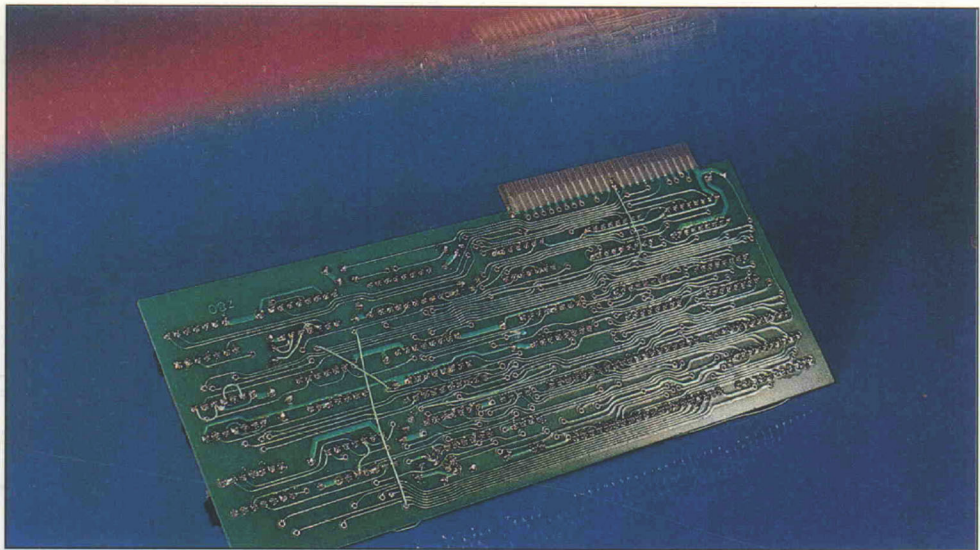
Takterzeugung:



Stückliste

Benötigt wird jeweils ein:

- Z80B-CPU (evtl. mit Kühlkörper);
- 74S86 als Ersatz für 74LS86 (U10);
- 74S20 als Ersatz für U12, falls hier nicht bereits ein S-Typ eingebaut ist;
- 74LS27 als Ersatz für 74LS107 (U4);
- 74LS74 (zusätzlicher Baustein).



ist zwar kein Problem (LS08 auf B11: Pin 1 herausbiegen) – aber an den Treiberbausteinen für die Datenleitungen hakt es: Auf den Hauptplatinen der Revisionen 0 bis einschließlich 7 werden zwei Bausteine des Typs 8T28 verwendet. Die Richtung des Datenflusses wird abhängig von R/W gesteuert, einen Tri-State-Ausgang haben die Dinger nicht. Erst die 'RFI'-Version der Hauptplatine enthält einen anderen Treiberbaustein für den Datenbus (einen 8304 auf H10), der einen eigenen Tri-State-Steuereingang hat (siehe unten).

Die Aktivierung der Leitung DMA trennt R/W des 6502 ab und überläßt die Leitung R/W der Zusatzkarte, die ein DMA angefordert hat. Ein Write von der Zusatzkarte würde also auch die Datenbustreiber in Richtung 'Schreiben' schalten. Aber Woz hat ein OR-Gatter (C14) zwischen R/W und die 8T28er gesetzt, dessen zweiter Eingang mit Phi 1 des 6502 verbunden ist. Damit wurde gleichzeitig die Bedingung eingeführt, die das Z80-Projekt scheitern läßt: Der 6502 muß während eines DMA-Zugriffs vom Systemtakt getrennt sein. Nur

Auch auf der Lötseite sind einige Verbindungen erforderlich.

dann bleibt die Leitung Phi auf 1 und setzt die Datenbustreiber ständig auf Lesen. Läuft der Systemtakt dagegen weiter, dann erzeugt der Prozessor auch Phi-Signale – es kommt bei Schreibaktionen über die Karte wieder zu Kollisionen.

Erster Lösungsansatz: direkte Verbindung des OR-Gatters mit dem Ausgang R/W des 6502. Auf diese Weise bleibt die Steuerung im Besitz des 6502, Schreibzugriffe einer 'DMA-Karte' also ohne Wirkung auf die Datenflußrichtung. Dies funktioniert leider nicht, weil der Z80 über einen Schreibbe-

fehl aktiviert wird. Der 6502 bleibt dabei anscheinend im Schreibmodus stehen – zumindest lange genug, um die Umschaltung unsauber arbeiten zu lassen. Das Ergebnis einer einfachen Leitung von Pin 34 des Prozessors zu Pin 9 von C14 ist ein äußerst wackliges System, bei dem zwei von drei Umschaltungen zum Absturz führen.

Zweiter Lösungsansatz: Einbau eines weiteren OR-Gatters zwischen dem Ausgang von C14 und den Steuereingängen der Datenbustreiber. Der zweite Eingang des Gatters wird über Pin 12 von C11 angesteuert, also vom invertierten DMA-Signal. Warum das nicht funktioniert, ist mir auch nicht ganz klar: die Gruppenlaufzeit (ein Inverter, zwei ORs, Umschaltung des 8T28) liegt jedenfalls weit unterhalb der geforderten Zeit für eine Umschaltung, sie beträgt rund 70 ns.

Bei der RFI-Version der Hauptplatine müßte es allerdings funktionieren, weil der hier verwendete Adreßbus-Transceiver (8304 auf H10) Tri-State-Ausgänge besitzt. Also: Herausziehen von H10, Abbiegen von Pin 11 (Steuereingang) und Verbinden dieses Pins mit C11, Pin 12 (invertiertes DMA-Signal). Außerdem: Herausziehen des LS08 auf B11 und Abbiegen von Pin 1, der dann ohne Verbindung bleibt. Durch diese beiden Maßnahmen erhält der 6502 auch im DMA-Zustand weiterhin Taktsignale, die Datenbustreiber werden bei DMA in den hochohmigen Zustand geschaltet. Leider hat der II+ -Kompatible des Autors die Revision 7, weshalb dieser Vorschlag nicht getestet werden konnte. Vielleicht findet ein experimentierfreudiger Leser eine Möglichkeit, die umgebaute Z80-Karte im Apple II+ zu betreiben. **ct**



EDV-VERTRIEBSGESELLSCHAFT mbH

Kapellenstr. 45A · 6239 Kriftel/Ts. · Tel.: 06192/2 77 37 + 2 77 81

Telex 4 072 154 jbm d

Mieten — Leasen — Kaufen

Sensationell! J.B.M. XT-Turbo 8 MHz, 1 LW 360 K, Multi I/O, 256-KB-RAM, 8-MB-Winchester, Monochrom-Grafikkarte oder Videokarte, Tastatur

Nur DM 2.500,—

AT 03 komp., 10 MHz, 1-MB-RAM, 30-MB-Platte, 14-Zoll-Monitor

DM 7.900,—

Winchester LW (10 MB)

ab DM 770,—

Floppy LW (360 KB)

ab DM 248,—

Leasing von Tandon, Plantron, J.B.M. und anderen PC's schon ab monatlich

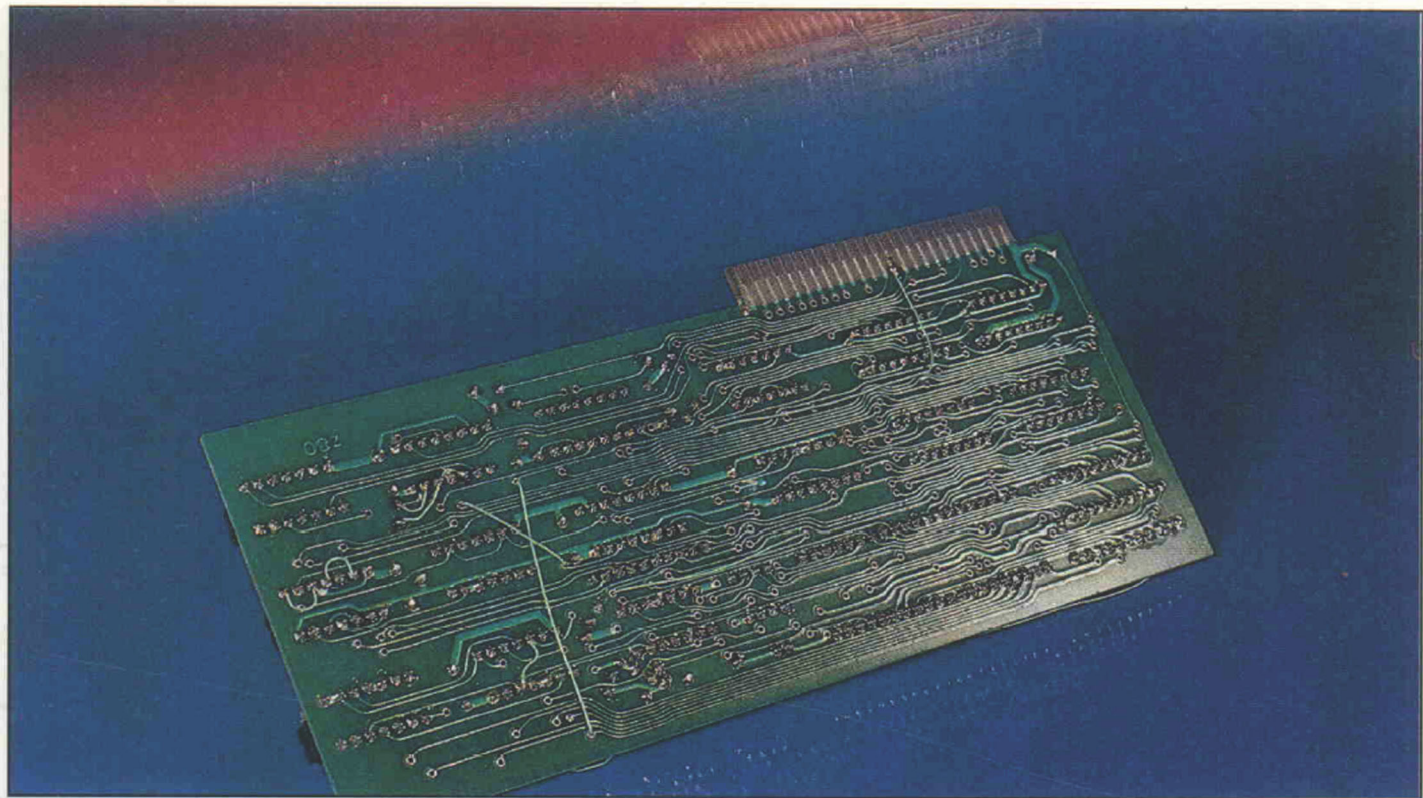
DM 99,90

Multisync Monitor von NEC — Drucker — PC/XT/AT kompatible Karten

Achtung — Aktuelle Preise erfragen — 24 Stunden Auftragsdienst

c't 3

Plantron — Tandon — Fujitsu — NEC



**Auch auf der Lötseite sind
eine Verbindungen**

fehl aktiviert wird. Der 6502
bleibt dabei geschaltet

Bei der RFI-Version der Haupt-
platine „9“